

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-201190

(P2000-201190A)

(43)公開日 平成12年7月18日(2000.7.18)

(51)Int.Cl.<sup>7</sup>  
H 04 L 27/22  
H 03 L 7/085  
H 04 L 7/00

識別記号

F I  
H 04 L 27/22  
7/00  
H 03 L 7/08

テマコード(参考)  
C 5 J 1 0 6  
F 5 K 0 0 4  
A 5 K 0 4 7

審査請求 未請求 請求項の数7 O L (全15頁)

(21)出願番号 特願平11-2491

(22)出願日 平成11年1月8日(1999.1.8)

(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(71)出願人 000221029  
東芝エー・ブイ・イー株式会社  
東京都港区新橋3丁目3番9号  
(72)発明者 小松 進  
東京都港区新橋3丁目3番9号 東芝エー・ブイ・イー株式会社内  
(74)代理人 100058479  
弁理士 鈴江 武彦 (外6名)

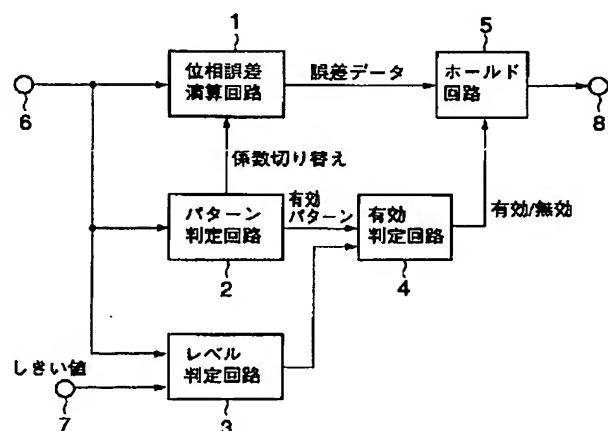
最終頁に続く

(54)【発明の名称】 クロック位相誤差検出回路およびクロック位相誤差検出方法

(57)【要約】

【課題】クロック再生回路の再生クロック位相補正に用いる低C/Nでのクロック再生性能を満足するクロック位相誤差信号を得ること。

【解決手段】帯域制限を受けたパルス符号信号から所定の位相に同期したクロックを再生する回路に用いる再生クロック位相補正用のクロック位相誤差信号を得るクロック位相誤差検出回路において、前記パルス符号信号を前記クロックによりサンプリングして得た信号の符号パターンを検出してパターン判定する判定手段2と、判定した符号パターンと前記サンプリングして得た信号から所定の演算により位相誤差を求める位相誤差演算手段1とを備える。



## 【特許請求の範囲】

【請求項1】帯域制限を受けたパルス符号信号から所定の位相に同期したクロックを再生する回路に用いる再生クロック位相補正用のクロック位相誤差信号を得るクロック位相誤差検出回路において、前記パルス符号信号を前記クロックによりサンプリングして得た信号の符号パターンを検出してパターン判定する判定手段と、判定した符号パターンと前記サンプリングして得た信号とから所定の位相誤差演算によりクロック位相誤差信号を求める位相誤差演算手段とを備えることを特徴とするクロック位相誤差検出回路。

【請求項2】位相誤差演算手段における位相誤差演算を、連続する4シンボルについて演算させることを特徴とする請求項1記載のクロック位相誤差検出回路。

【請求項3】位相誤差演算手段は、FIRフィルタにて構成すると共に、位相誤差演算は前記検出された符号パターンに応じてFIRフィルタの係数を切り換える構成とすることを特徴とする請求項1記載のクロック位相誤差検出回路。

【請求項4】帯域制限を受けたパルス符号信号から所定の位相に同期したクロックを再生する回路に用いる再生クロック位相補正用のクロック位相誤差信号を得るクロック位相誤差検出回路において、前記パルス符号信号を前記クロックによりサンプリングして得た信号の符号パターンを検出してパターン判定する判定手段と、

前記パルス符号信号を前記クロックによりサンプリングして得た信号を絶対値変換する絶対値変換手段と、前記判定手段の判定した符号パターンと前記絶対値変換手段にて絶対値変換した信号とから所定の位相誤差演算によりクロック位相誤差信号を求める位相誤差演算手段とを備えることを特徴とするクロック位相誤差検出回路。

【請求項5】帯域制限を受けたパルス符号信号があらかじめ規定された振幅よりも大きいことを検出するレベル判定回路を備え、

パルス符号信号があらかじめ規定された振幅よりも大きいときに前記位相誤差演算を行うことを特徴とする請求項1または4いずれか1項記載のクロック位相誤差検出回路。

【請求項6】前記位相誤差演算をI信号及びQ信号のそれぞれで行い、それぞれの位相誤差演算結果を平均した値を位相誤差検出信号とすることを特徴とする請求項1乃至5いずれか1項記載のクロック位相誤差検出回路。

【請求項7】帯域制限を受けたパルス符号信号から所定の位相に同期したクロックを再生するにあたり、前記パルス符号信号を前記クロックによりサンプリングして得た信号の符号パターンを検出してパターン判定し、この判定した符号パターンと前記サンプリングして

得た信号とから所定の演算により位相誤差を求めると共に、求めた位相誤差はクロック再生の位相補正に利用することを特徴とするクロック位相誤差検出方法。

## 【発明の詳細な説明】

【発明属する技術分野】この発明は、帯域制限されたパルス信号を用いてデジタル信号を伝送するシステムにおける受信装置に利用されるクロック再生回路の位相補正に用いるクロック位相誤差信号を得るためのクロック位相誤差検出回路およびクロック位相誤差検出方法に関する。

## 【0001】

【従来の技術】帯域制限されたパルス波を用いてデジタル信号を伝送するシステムにおいては、一般にロールオフスペクトル整形されたパルスを用いて符号伝送を行うようになる。そのため、受信側のサンプル・タイミングの僅かなずれは特性を急激に劣化させることになる。

【0002】従来、簡単なサンプルタイミング、すなわち、クロック再生は入力信号を整流し、クロック成分を抽出すると共に、この抽出したクロック成分を狭帯域帯域通過ろ波器に通してクロックを再生するようになっていた。しかし、近年、より伝送帯域幅を節約するため、ロールオフファクタの小さいスペクトル整形特性を用いるようになったため、クロック再生の一層の高性能化が要求されるようになってきた。

【0003】このような要求に応えるクロック再生回路として、例えば、図11(A)に示す如きの制御法が提案されている。これは零クロスポイント前後でクロックの位相制御信号を検出するようにするもので、ここではこの制御法を零クロス制御法と呼ぶことにする。

【0004】零クロス制御法を説明する。図11(A)の(a)は2値デジタル信号のアイパターンを簡略化して示したもので、平均的には信号の状態そのものは問題はない。そして、この2値デジタル信号をサンプリングする場合に、サンプルタイミングがS1, S2のように信号の位相にタイミングが一致していれば正しく送信信号を取り込むことができるので、正しくデータを再生できる。

【0005】次に、図11(A)の(b)に示すように、サンプルタイミングがTe秒だけ、遅れてS1', S2'の位置にずれた場合にどうなるかを考えてみる。この場合、S1からS1'にずれたことにより、2値デジタル信号のアイパターンの開きはW0からW1と狭くなる一方、零クロスポイント位置であるS2でサンプリングするはずのタイミングもTe秒だけずれて図11(A)の(c)におけるS2'のタイミング位置で入力信号をサンプリングすることとなり、このサンプリングタイミングでのサンプリングした値(サンプル値)をeとすると、このeは本来零近傍であったはずの値に比べて大きな値をとるようになる。

【0006】ところでこの場合に、零クロスポイント前

後で送信符号が“-1”から“+1”に変化したとする、サンプル値はe(-+)なる正の値をとり、逆に“+1”から“-1”へ変化した場合にはサンプル値はe(+-)なる負の値をとる。従って、零クロスポイント前後での送信符号を知ることにより、サンプル・タイミングのずれを知ることができる。これが零クロス制御の原理である。

【0007】このように、零クロス制御法では、零クロスポイント近傍の値を用いているので、アイパターンの振幅によらず、動作する特徴がある。しかし、実際にはアイパターンは図12に示すような波形をしており、クロック位相が同期していてもe(-+)およびe(+-)は零にはならない場合があり、このときには制御信号が発生するので、ジッタが多いと云う問題が残る。

【0008】これに対して、図11(B)に示す如きの制御法も開発されている。これはアイパターン収束ポイントの前後でクロックの位相制御信号を検出する方式であって、ここではこれをアイ収束点制御法と呼ぶことにする。すなわち、アイ収束点制御法は次の如き制御法である。図11(B)の(a)は2値デジタル信号のアイパターンを図11(B)の(b)のT-1, T0, T1は最適クロック位相を示している。この例では2ビットA/D変換器により基準レベルL1, L2, L3によりサンプリングされているが、多値A/D変換器により用いた例を考える。送信符号がa-1, B0, C1と変化した場合、クロック位相が+Δtずれていれば、サンプル値は基準レベルL1より大きな値となり、-Δtずれていれば、サンプル値は基準レベルL1より小さな値となる。

【0009】従って、制御ポイントの前後の送信符号と、制御ポイントでの基準レベルとの差分値によりサンプルタイミングのずれを検出することができる。

【0010】このように、アイ収束点制御法ではアイ収束ポイント近傍の値を用いているので、位相同期時のジッタが少なくて済む。しかし、アイパターンの振幅が変化するような場合では、基準レベルとの差分値が正確にサンプルタイミングのずれを示さないため、クロック位相の制御ができないと云う問題を抱える。

【0011】そこで、これらの問題を解決してクロック再生の高性能化を図ったクロック再生回路として、特願平4-126041号(特開平5-327681号公報参照)に示される如き技術が開発されている。

【0012】これは図13に示す如きもので、クロック位相誤差検出制御法と呼ぶことにする。このクロック位相誤差検出制御法を説明する。図13(a)は、アイパターンを示しており、アイ収束ポイントのサンプル値が“L0”および“-L0”的場合を示している。今、クロック位相が“+Δt”ずれていた場合を考えてみる。この状態で送信符号が“A1”, “B2”と変化したとすると、“A1”的サンプル値は“-(L0-Δ

1)”, “B2”的サンプル値は“(L0+Δ1)”となる。ここで、それぞれのサンプル値の絶対値を比べてみると、

$|L0 + \Delta 1| - |-(L0 - \Delta 1)| = 2\Delta 1 > 0$   
であり、絶対値では“B2”的サンプル値の方が大きい。

【0013】また、送信符号が“B1”, “A2”と変化した場合、“B1”的サンプル値は“(L0-Δ1)”, “A2”的サンプル値は“-(L0+Δ1)”となる。ここで、それぞれのサンプル値の絶対値を比べてみると、

$|-(L0 + \Delta 1)| - |(L0 - \Delta 1)| = 2\Delta 1 > 0$

であり、絶対値では“A2”的サンプル値の方が大きいことがわかる。

【0014】すなわち、クロック位相が遅れている(クロック位相“+Δt”)場合には、連続する2サンプルの絶対値は後の値の方が大きく、同様にクロック位相が進んでいる(クロック位相“-Δt”)場合には、連続する2サンプルの絶対値は後の値の方が小さい、と云うことがわかる。

【0015】これにより、連続する2サンプル間の振幅差を求めれば位相差を得ることができる。

【0016】すなわち、クロック位相誤差検出制御法における位相誤差が検出できる場合では、図13で説明した原理を模式的に表した図である図14に示すように、入力されたパルス符号の連続する4つのシンボルの発生パターンである入力パターンがシンボル“A0”, “A1”, “B2”, “B3”的位置をとる時、サンプルポイントが△tずれたとすれば、位相誤差を“2Δ1”として求めることが出来る。

【0017】また、これとは逆に、図15は位相誤差が検出できない場合の例であるが、この例では入力されたパルス符号の連続する4つのシンボルの発生パターンである入力信号の入力パターンがシンボル“B0”, “A1”, “B2”, “A3”的位置をとる時、サンプルポイントが△tずれたとすると、位相誤差は“0”となつて求めることが出来ない。

【0018】故に特願平4-126041号開示のクロック位相誤差検出制御法で位相誤差を検出できるのは、サンプルタイミングT1の直前から次のサンプルタイミングT2の直後までの間に、入力信号が単調増加または単調減少している場合に限ることになる。

【0019】これは、信号が図14の如き場合であって、連続する4シンボルの入力パターンが“A0”, “A1”, “B2”, “B3”的位置をとるケースと、“B0”, “B1”, “A2”, “A3”的位置をとるケースの計2通りである。連続する4シンボルの入力パターンバリエーションは16通りであるから、当該クロック位相誤差検出制御法で位相誤差を検出できるのは入

カデータに対して“1/8”的確率でしかなく、“1/8”と云う低い確率でしか位相誤差を求めることが出来ない。

【0020】このように、位相誤差検出出来る確率が低いため、低C/Nでのクロック再生が不十分であった。

【0021】

【発明が解決しようとする課題】帯域制限されたパルス波を用いてデジタル信号を伝送するシステムにおいては、伝送帯域幅を節約するため、ロールオフファクタの小さいスペクトル整形特性を用いるようになり、そのため、クロック再生の一層の高性能化が要求されるようになってきた。そして、このような要求に応えるクロック再生回路として、特願平4-126041号（特開平5-327681号公報参照）に示される如き技術が開発されている。

【0022】しかし、この技術で位相誤差を検出できるのは、サンプルタイミングの直前から次のサンプルタイミングの直後までの間に、入力信号が単調増加または単調減少している場合に限ることになる。

【0023】これは、入力パターンとしては2通りでしかないが、連続する4シンボルの入力パターンとしては16通りであるわけであるから、当該クロック位相誤差検出制御法で位相誤差を検出できるのは入力データに対して“1/8”的確率でしかなく、“1/8”と云う低い確率でしか位相誤差を求めることが出来ない。

【0024】このように、従来方法では位相誤差検出出来る確率が低いため、低C/Nでのクロック再生性能が不十分であるという問題があった。

【0025】そこでこの発明の目的とするところは、高い確率で位相誤差検出出来、クロック再生回路の位相補正に用いるクロック位相誤差信号を得ることができて低C/Nでのクロック再生性能を満足することができるようとしたクロック位相誤差検出回路およびクロック位相誤差検出方法を提供することにある。

【0026】

【課題を解決するための手段】上記目的を達成するため、本発明は次のように構成する。すなわち、帯域制限を受けたパルス符号信号から所定の位相に同期したクロックを再生する回路に用いる再生クロック位相補正用のクロック位相誤差信号を得るクロック位相誤差検出回路において、前記パルス符号信号を前記クロックによりサンプリングして得た信号の符号パターンを検出してパターン判定する判定手段と、判定した符号パターンと前記サンプリングして得た信号とから所定の位相誤差演算によりクロック位相誤差信号を求める位相誤差演算手段とを備えることを特徴とする。また、特に位相誤差演算手段はFIRフィルタにて構成すると共に、位相誤差演算は前記検出された符号パターンに応じてFIRフィルタの係数を切り換える構成とすることを特徴とする。

【0027】本発明は、帯域制限を受けたパルス符号信

号から所定の位相に同期したクロックを再生するにあたり、前記パルス符号信号を前記クロックによりサンプリングして得た信号の符号パターンを検出してパターン判定し、この判定した符号パターンと前記サンプリングして得た信号とから所定の演算により位相誤差を求める。そして、求めた位相誤差はクロック再生の位相補正に利用する。

【0028】また、FIRフィルタを用いると、位相誤差演算手段を容易に構成することでき、しかも、誤差演算はフィルタ係数を入力パターン対応に変更することで、連続する符号パターン全てにおいて、位相誤差検出することができるようになり、クロック再生の際のクロック位相にずれが生じたときには速やかに位相ずれを補正することができるようになる。

【0029】とくに本発明は、帯域制限を受けたパルス符号信号から所定の位相に同期したクロックを再生する回路において、前記クロックによりサンプリングされた信号の符号パターンを検出し、前記検出された符号パターンに応じて位相誤差を演算することにより、連続する符号パターン全てにおいて、位相誤差検出することができるようになるので、多くの場合で位相誤差検出が可能であり、従って、入力信号から位相誤差を検出できる確率を高めることができ、低C/N（キャリアノイズ比）でのクロック再生性能を改善することが出来る。

【0030】従って、本発明によれば、低C/Nでのクロック再生性能を満足するクロック再生が可能となる。

【0031】

【発明の実施の態様】以下、この発明の実施例を図面を参照して説明する。

【0032】（実施例1）本発明であるクロック位相誤差検出回路の一実施例のブロック図を図1に示す。図において、1は位相誤差演算回路、2はパターン判定回路、3はレベル判定回路、4は有効判定回路、5はホールド回路、6は入力端子、7はしきい値入力端子、8は出力端子である。

【0033】これらのうち、入力端子6には受信したパルス符号信号を再生クロックタイミングでサンプリングして得た入力信号が入力される。尚、ここでのパルス符号信号は帯域制限を受けたパルス符号信号である。位相誤差演算回路1は、この入力信号の符号パターンに応じて誤差演算を行い、演算結果である誤差データをホールド回路5に与えるものである。

【0034】パターン判定回路2は、入力端子6から入力された入力信号の符号パターンを判定するためのものであり、レベル判定回路3は、入力端子6から入力された入力信号のレベルを判定するためのものであって、しきい値入力端子7から供給されるしきい値よりも当該入力信号のレベルが大きいことを検出するものである。

【0035】有効判定回路4は、パターン判定回路2によるパターン判定結果とレベル判定回路3によるレベル

判定結果が同時に満足されているかどうかを判定して満足されれば“有効”、満足されていなければ“無効”的判定をするものであり、ホールド回路5は、有効判定回路4の判定結果が“有効”である場合には位相誤差演算回路1の出力する誤差データをそのまま通し、これをクロック位相誤差信号として出力し、有効判定回路4の判定結果が“無効”であればこれをホールド信号としてその直前における位相誤差演算回路1の誤差信号をホールドし、クロック位相誤差信号として出力するものである。出力端子8にはホールド回路5からのクロック位相誤差信号が出力される。

【0036】このような構成の本装置は、パルス符号信号を再生クロックタイミングでサンプリングして得た入力信号が入力端子6より入力される。この入力信号は位相誤差演算回路1、レベル判定回路3およびパターン判定回路2へ分岐される。

【0037】まず、レベル判定回路3はしきい値入力端子7から供給されるしきい値よりも入力信号レベルが大きいことを検出する。このしきい値は大き過ぎても、また、小さ過ぎても問題があるので、目的に合わせて経験的に最適な値を選択することになるが、標準的には図2に示す如く、入力信号レベル“+L0”，“-L0”的50%近傍の値である、例えば、“+L0/2”，“-L0/2”程度が良い。

【0038】なお、本実施例では後述するように“4サンプル”を用いて位相誤差を計算するので、レベル判定回路3では、このレベル判定においても連続する“4サンプル”が同時にしきい値より大きいことを判定するようになる。判定結果は有効判定回路4に供給される。

【0039】次に、パターン判定回路2は前記“4サンプル”的符号パターンを判定する。そして、その判定結果は位相誤差演算のための係数切換信号として位相誤差演算回路1に供給されると共に、誤差演算に有効なパターンであるかどうかを判定するために、有効判定回路4にも供給される。

【0040】有効判定回路4はパターン判定結果とレベル判定結果が同時に満足されているかどうかを判定する。すなわち、連続する“4サンプル”的符号パターンが位相誤差演算を行えるパターンに一致し、更にその信号振幅があらかじめ規定されたしきい値よりも大きいときに“有効”と判定する。もし上記2つの判定が同時に満足されていない場合は“無効”と判定し、当該“無効”なる判定信号はホールド信号としてホールド回路5に供給する。

【0041】一方、位相誤差演算回路1は入力信号の符号パターンに応じて誤差演算を行い、演算結果である誤差データをホールド回路5に供給する。ホールド回路5は、位相誤差演算回路1から供給される誤差データをクロック位相誤差信号として出力端子8に出力する。ただし、有効判定回路4からホールド信号が供給されている

ときには、その直前のクロック位相誤差信号をホールドし、位相誤差演算回路1から供給される誤差データは“無効”であると判断する。

【0042】従って、ホールド回路5は、有効判定回路4の判定結果が“有効”である場合には位相誤差演算回路1の出力する誤差データをそのまま通し、これをクロック位相誤差信号として出力端子8に出力し、有効判定回路4の判定結果が“無効”であればこれをホールド信号としてその直前における位相誤差演算回路1の誤差信号をホールドし、クロック位相誤差信号として出力端子8に出力することになる。

＜位相誤差演算回路の構成＞次に位相誤差演算回路1の具体的な実施例を図3を用いて説明する。図3に示すように、位相誤差演算回路1はシリアル接続の遅延素子201, 202, 203, 204と、これら各遅延素子201, 202, 203, 204からの遅延出力を供給される可変係数器205, 206, 207, 208及びこれら可変係数器205, 206, 207, 208の各出力を加算する加算器209で構成されるFIRフィルタにより実現されている。

【0043】サンプリング信号はサンプリング信号入力端子210から供給される。このサンプリング信号入力端子210から供給されるサンプリング信号は遅延素子201, 遅延素子202, 遅延素子203, 遅延素子204の順に供給される。それぞれ遅延された信号は可変係数器205, 206, 207, 208のうち、それぞれの対応する可変係数器205, 206, 207, 208でそれぞれの係数に応じて増幅された後、加算器209で加算されて誤差演算が完了し、出力端子212から誤差データとしてホールド回路5に出力される。

【0044】入力端子211にはパターン判定回路2から係数切換信号が供給されており、係数切換信号に応じて可変係数器205, 206, 207, 208の係数C3, C2, C1, C0を制御し、フィルタ特性を切り換える。

【0045】＜誤差演算の方法＞図4を参照して誤差演算の方法を説明する。図4における(a)は入力端子210から供給されるサンプリング信号である。ここで示した信号の符号パターンは、図6における“A0”(=-L0), “A1”(=-L0), “B2”(=+L0), “A3”(=+L0)である。この符号パターンに対して、図4(b)に示す如く、可変係数器(C0)205, 可変係数器(C1)206, 可変係数器(C2)207, 可変係数器(C3)208の係数を、それぞれ順に“-1”, “+2”, “0”, “-1”と係数設定してFIRフィルタを構成すると、そのFIRフィルタ出力、すなわち、誤差演算結果はクロック遅れが1クロックあったときは“-3L0”, クロック遅れが無かったときは“0”, クロック進みが1クロックあったときは“+3L0”となる図4(c)の如きのもの

となる。

【0046】なお、図4 (b) の係数は “ $C_0 = -1$ ” 、 “ $C_1 = 2$ ” 、 “ $C_2 = 0$ ” 、 “ $C_3 = -1$ ” を示しており、図4 (a) に示す値を各サンプル値がとる場合(サンプル値が “ $L_0$ ” または “ $-L_0$ ” ) が位相誤差 “零” の状態であり、図4 (c) の時刻  $t$  が  $t = 0$  の時点においての値がその誤差演算結果である。

【0047】ここで、クロック位相誤差が1クロックある場合を考える。すると、図4 (c) からわかるように1クロック遅れている場合は時刻  $t$  が “ $t = -1$ ” の状態であるから、このときのフィルタ出力は “ $-3L_0$ ” となり、1クロック進んでいる場合は時刻  $t$  が “ $t = +1$ ” の状態であるから、このときのフィルタ出力は “ $+3L_0$ ” となることがわかる。

【0048】上記は入力信号がサンプリングされた値を考えているが、帯域制限されたパルス信号の連続信号を入力した場合は図4 (d) のような連続した結果が得られる。これはサンプリングのタイミングずれ、すなわち、サンプリング位相誤差が生じた時には、同図4 (d) に示す時刻  $t = 0$  の近傍でフィルタ出力が変化することを意味している。

【0049】このように、本実施例における位相誤差演算回路1では当該位相誤差演算回路1を構成するフィルタ出力はクロック位相が遅れているときには正の値をとり、遅れているときには負の値をとる。また、位相誤差が無いときには零となるので、フィルタ出力、すなわち、位相誤差演算回路1の出力が位相誤差を表すことになる。

【0050】図5は各入力パターンにおける誤差演算が可能なフィルタ係数を示している。“4シンボル”の前後のシンボル値により異なるが、図3のフィルタによる構成の位相誤差演算回路1によれば、すべて図4 (d) のように、位相遅れ時から位相進み時まで連続に増加するフィルタ出力を得ることが出来る。

【0051】そして、図3のフィルタによる構成の位相誤差演算回路1によれば、“4シンボル”の符号パターンの持つ “16パターン” のうち、図5に示すように、“16パターン” について誤差演算が可能である。

【0052】すなわち、位相誤差が検出できる場合は、図4で説明した原理を模式的に表した図である図6に示すように、入力パターンが [1] “ $A_0$ ” , “ $A_1$ ” , “ $B_2$ ” , “ $B_3$ ” の配置をとる時、 [2] “ $B_0$ ” , “ $B_1$ ” , “ $A_2$ ” , “ $A_3$ ” の配置をとる時、 [3] “ $A_0$ ” , “ $A_1$ ” , “ $B_2$ ” , “ $A_3$ ” の配置をとる時、 [4] “ $B_0$ ” , “ $B_1$ ” , “ $A_2$ ” , “ $B_3$ ” の配置をとる時、 [5] “ $A_0$ ” , “ $B_1$ ” , “ $A_2$ ” , “ $A_3$ ” の配置をとる時、 [6] “ $B_0$ ” , “ $A_1$ ” , “ $B_2$ ” , “ $B_3$ ” の配置をとる時、 [7] “ $A_0$ ” , “ $A_1$ ” , “ $A_2$ ” , “ $B_3$ ” の配置をとる時、 [8] “ $B_0$ ” , “ $B_1$ ” , “ $B_2$ ” , “ $A_3$ ” の配置をとる時、 [9] “ $B_0$ ” , “ $A_1$ ” , “ $A_2$ ” , “ $A_3$ ” の配置をとる時、 [10] “ $A_0$ ” , “ $B_1$ ” , “ $B_2$ ” , “ $B_3$ ” の配置をとる時、 [11] “ $A_0$ ” , “ $A_1$ ” , “ $B_2$ ” , “ $A_3$ ” の配置をとる時、 [12] “ $B_0$ ” , “ $A_1$ ” , “ $A_2$ ” , “ $B_3$ ” の配置をとる時、 [13] “ $A_0$ ” , “ $B_1$ ” , “ $A_2$ ” , “ $B_3$ ” の配置をとる時、 [14] “ $B_0$ ” , “ $A_1$ ” , “ $B_2$ ” , “ $A_3$ ” の配置をとる時、の計14パターンにおいては、サンプルポイントの位相ずれに応じて位相誤差を求めることが出来る。

【0053】また、これとは逆に、図7は従来、位相誤差が検出できなかった例であるが、この例では入力パターンが “ $B_0$ ” , “ $B_1$ ” , “ $B_2$ ” , “ $B_3$ ” の時、そして、“ $A_0$ ” , “ $A_1$ ” , “ $A_2$ ” , “ $A_3$ ” の時、いずれもサンプルポイントがずれたとしても、位相誤差が “0” となって求めることが出来なかった。

【0054】しかし、これも本発明では位相誤差を検出可能である。

【0055】つまり、“4シンボル”の符号パターンのバリエーションは図5に示したように [15] “ $B_0$ ” , “ $B_1$ ” , “ $B_2$ ” , “ $B_3$ ” の配置をとる時、 [16] “ $A_0$ ” , “ $A_1$ ” , “ $A_2$ ” , “ $A_3$ ” の配置をとる時、を含めて全部で “16パターン” あるわけであるが、このような符号が変化しない “ $A_0$ ” , “ $A_1$ ” , “ $A_2$ ” , “ $A_3$ ” の配置をとるパターン及び “ $B_0$ ” , “ $B_1$ ” , “ $B_2$ ” , “ $B_3$ ” の配置をとるパターンの計2パターンを含め、誤差演算が可能である。これは従来の誤差演算方法よりも位相誤差検出精度が上がったことを意味している。

【0056】なお、低C/N時のパターン判定ミスによる位相誤差検出精度の劣化を防止するため、サンプリング信号の振幅があらかじめ規定されたしきい値よりも小さい場合には誤差演算結果を使用せずに直前の位相誤差信号をホールドするようホールド回路5が動作する。

【0057】そして、このホールド回路5を介して得られる位相誤差信号を位相制御信号として用いて、クロック再生回路の位相制御を実施し、再生クロックの位相のずれを当該位相制御信号対応に修正する。

【0058】本実施例では、連続する4つのシンボルの出現形態が符号変化の全くない場合の2パターンも含めて計16パターンについて、サンプルポイントがずれれば、いずれもこの位相誤差を求めることが出来、得られる位相誤差信号を位相制御信号として用いて、クロック再生回路の位相制御を実施し、再生クロックの位相のずれを当該位相制御信号対応に修正することができる。そのため、シンボルの配置の全バリエーションである16パターン中の16パターンすべてについて位相誤差信号を得ることができるので、従来の誤差演算方法よりも位相誤差検出精度を飛躍的に増大してクロック再生回路の位相ずれが発生した場合に、速やかに位相ずれの修正制

御を実施可能になる。

【0059】従って、高い確率で位相誤差検出出来、クロック再生回路の位相補正に用いるクロック位相誤差信号を得ることができて低C/Nでのクロック再生性能を満足することができるようしたクロック位相誤差検出回路が得られる。

【0060】次に、本発明の別の実施例を実施例2として説明する。

【0061】(実施例2) 図8は本発明の別の実施例である。図8において、1は位相誤差演算回路、502はパターン判定回路、3はレベル判定回路、4は有効判定回路、5はホールド回路、6は入力端子、7はしきい値入力端子、8は出力端子、501は入力端子6から入力される入力信号の絶対値を得る絶対値回路である。

【0062】本実施例では位相誤差演算回路1の前段に絶対値回路501を設け、入力端子6に入力された入力信号をこの絶対値回路501を介して位相誤差演算回路1に与えるようにした点、そして、レベル判定回路3も、入力端子6から入力された入力信号を絶対値回路501にて絶対値化したものと与えてこれのレベル判定をさせるようにした点が実施例1と異なるが、その他の構成は基本的には実施例1と変わらない。但し、本実施例では再生クロックタイミングでサンプリングされた入力信号が入力端子6に入力されるとパターン判定回路502は、これについてパターン判定することになる。

【0063】また、位相誤差演算回路1は絶対値回路501で入力信号の符号パターンが絶対値化されたものを入力として用いてこの入力信号の符号パターンに応じて誤差演算を行い、演算結果である誤差データをホールド回路5に与えるものである。

【0064】尚、レベル判定回路3は、入力端子6から入力された入力信号を絶対値回路501にて絶対値化されたもののレベルを判定するためのものであって、しきい値入力端子7から供給されるしきい値よりも当該入力信号のレベルが大きいことを検出するものであり、有効判定回路4は、パターン判定回路502によるパターン判定結果とレベル判定回路3によるレベル判定結果が同時に満足されているかどうかを判定して満足されれば“有効”、満足されていなければ“無効”的判定をするものであり、ホールド回路5は、有効判定回路4の判定結果が“有効”である場合には位相誤差演算回路1の出力する誤差データをそのまま通し、これをクロック位相誤差信号として出力し、有効判定回路4の判定結果が“無効”であればこれをホールド信号としてその直前ににおける位相誤差演算回路1の誤差信号をホールドし、クロック位相誤差信号として出力するものである。出力端子8にはホールド回路5からのクロック位相誤差信号が输出される。

【0065】このような構成の本装置は、再生クロックタイミングでサンプリングされた入力信号が入力端子6

より入力される。この入力信号は絶対値回路501、およびパターン判定回路502へ分岐される。

【0066】すると、絶対値回路501は入力信号の絶対値変換を行った後、位相誤差演算回路1とレベル判定回路3に供給する。従って、位相誤差演算回路1とレベル判定回路3には入力信号の符号パターンが絶対値化されたものが与えられることになる。

【0067】そして、レベル判定回路3はしきい値入力端子7から供給されるしきい値よりも入力信号レベルの絶対値が大きいかを検出する。ここでは、“4サンプル”を用いて位相誤差を計算するので、このレベル判定においても連続する“4サンプル”が同時にしきい値よりも大きいことを判定する。判定結果は有効判定回路4に供給される。

【0068】また、パターン判定回路502は入力端子6からの入力信号について前記“4サンプル”的符号パターンを判定する。そして、その判定結果は位相誤差演算のための係数切換信号として位相誤差演算回路1に供給すると共に、誤差演算に有効なパターンであるかどうかを判定するために、有効判定回路4にも供給される。

【0069】有効判定回路4はパターン判定結果とレベル判定結果が同時に満足されているかどうかを判定する。すなわち、連続する“4サンプル”的符号パターンが位相誤差演算を行えるパターンに一致し、更にその信号振幅があらかじめ規定されたしきい値よりも大きいときに“有効”と判定する。もし上記2つの判定が同時に満足されていない場合は“無効”と判定し、当該“無効”なる判定信号はホールド信号としてホールド回路5に供給する。

【0070】一方、位相誤差演算回路1は絶対値化された入力信号の符号パターンに応じて誤差演算を行い、演算結果である誤差データをホールド回路5に供給する。ホールド回路5は、位相誤差演算回路1から供給される誤差データをクロック位相誤差信号として出力端子8に出力する。ただし、有効判定回路4からホールド信号が供給されているときには、その直前のクロック位相誤差信号をホールドし、位相誤差演算回路1から供給される誤差データは“無効”であると判断する。

【0071】従って、ホールド回路5は、有効判定回路4の判定結果が“有効”である場合には位相誤差演算回路1の出力する誤差データをそのまま通し、これをクロック位相誤差信号として出力端子8に出力し、有効判定回路4の判定結果が“無効”であればこれをホールド信号としてその直前ににおける位相誤差演算回路1の誤差信号をホールドし、クロック位相誤差信号として出力端子8に出力することになる。

【0072】そして、この位相誤差信号をクロック位相誤差信号として用いて、この信号対応分、クロック再生回路の位相制御を実施し、再生クロックの位相のずれを当該位相制御信号対応に修正するようとする。

【0073】このように、本実施例は誤差演算を、絶対値変換を行った入力信号に対して実施するようにしたことを特徴としている。

【0074】すなわち、この実施例において、前記実施例1との違いを図9を用いて説明すると次の如きである。絶対値変換を行った入力信号に対して、前記実施例と同じ誤差演算結果を得るために、絶対値変換によって符号が変換されたシンボル、すなわち、負の値を持った信号が通る可変係数器の符号を変換させてやれば良い。このことは、FIRフィルタの構成から容易に判断がつく。

【0075】そこで、図5の16バリエーションあったフィルタ係数を、対応する入力パターンが負の値の時に符号変換してバリエーションを減らすと、フィルタ係数は図9の如きバリエーションとなる。ここで、フィルタ係数のバリエーションに注目すると、フィルタ係数が“A”，“A'”，“B”，“B'”，“C”，“C'”，“D”的7種類であることが判る。

【0076】すなわち、入力信号を絶対値変換することによってフィルタ係数の数を減らすことが出来る。

【0077】これは回路構成の簡素化、すなわち、回路規模の削減及び制御の容易化を意味する。また、フィルタ係数のバリエーション“A”と“A'”，“B”と“B'”そして、“C”と“C'”はそれぞれ係数の符号が反転しているだけであるのが判る。たとえば、バリエーション“A'”のフィルタ係数が必要なときに、バリエーション“A”的フィルタ係数で誤差演算を行い、その演算結果の符号を反転してやれば、バリエーション“A'”のフィルタ係数を用いて誤差演算を行ったのと全く同じ結果が得られる。

【0078】このようにすることにより、必要なフィルタ係数は4種類ですみ、この4種類のバリエーションのフィルタ係数を用意すれば誤差演算が可能であることが判る。

【0079】そして、ホールド回路5を介して得られる位相誤差信号を位相制御信号として用いて、クロック再生回路の位相制御を実施し、再生クロックの位相のずれを当該位相制御信号に対応に修正する。

【0080】本実施例では、連続する4つのシンボルの出現形態が符号変化の全くない場合の2パターンを含めて計16パターン全てにおいて、サンプルポイントがずれれば、いずれもこの位相誤差を求めることが出来、得られる位相誤差信号（クロック位相誤差信号）をクロック位相制御信号として用いて、クロック再生回路のクロック位相制御を実施し、再生クロックの位相のずれを当該位相制御信号に対応に修正することができる。そのため、シンボルの配置の全バリエーションである16パターン中の16パターン全てについて位相誤差信号をえることができるので、従来の誤差演算方法よりも位相誤差検出精度を飛躍的に増大してクロック再生回路の位相ず

れが発生した場合に、速やかに位相ずれの修正制御を実施可能になる。

【0081】しかも、この実施例では、入力信号を絶対値変換することによって位相誤差演算回路を構成するフィルタにて用いるフィルタ係数の数を絶対値変換しない場合での16パターンからその半分の7パターン、そして、更に4パターンに減らすことが出来る。従って、回路構成の簡素化、すなわち、回路規模の削減及び制御の容易化が図れようになる。

【0082】従って、高い確率で位相誤差検出出来、クロック再生回路の位相補正に用いるクロック位相誤差信号を得ることができて低C/Nでのクロック再生性能を満足することができるようしたクロック位相誤差検出回路が得られる。

【0083】（実施例3）図10は、上記実施例の応用例で直交振幅変調、たとえば、QPSK変調信号を復調する受信機の場合である。

【0084】QPSK変調信号はI信号とQ信号から構成されるので、I信号、Q信号のそれぞれで誤差演算を行い、それぞれの有効判定結果から位相誤差信号を出力する構成とするものである。基本的には、図8に示した構成をI信号用と、Q信号用の2系統分用意したかたちであって、I信号系統用は、絶対値回路501と、位相誤差演算回路1と、パターン判定回路502と、レベル判定回路3と、有効判定回路4とから構成され、Q信号系統用は、絶対値回路706と、位相誤差演算回路701と、パターン判定回路702と、レベル判定回路703と、有効判定回路704とから構成される。

【0085】ここで、絶対値回路706は絶対回路501と、位相誤差演算回路701は位相誤差演算回路1と、パターン判定回路702はパターン判定回路502と、レベル判定回路703はレベル判定回路3と、有効判定回路704は有効判定回路4と同一のものである。

【0086】この構成に更に、平均回路707、セレクタ708、遅延回路709、IQ判定回路710を加えて構成される。平均回路707はI信号からの誤差データと、Q信号からの誤差データの平均を取りものであって、位相誤差演算回路1と位相誤差演算回路701との出力を受けてこれらの平均値を求めてセレクタ708に与えるものである。

【0087】また、セレクタ708は位相誤差演算回路1の出力および位相誤差演算回路701の出力、平均回路707の出力、遅延回路709の出力が入力され、これらのいずれかをIQ判定回路710の選択信号に対応に選択して出力するものである。

【0088】また、IQ判定回路710は有効判定回路4から出力されるI信号系統の有効判定結果と有効判定回路704から出力されるQ信号系統からの有効判定結果をもとに両系統が“有効”的場合には平均回路707の出力を、そして、I信号系統の有効判定結果のみが

“有効”の場合には位相誤差演算回路1の出力を、そして、Q信号系統の有効判定結果のみが“有効”的場合には位相誤差演算回路701の出力を、そして、I信号系統およびQ信号系統の双方とも“無効”的場合には遅延回路709の出力を、選択するように選択信号を発生してセレクタ708に与えるものである。

【0089】また、遅延回路709はセレクタ708の出力を1クロック遅延して再びセレクタ708に出力するものであって、1クロック遅延した位相誤差信号を得るものである。従って、実施例3ではホールド回路は持たせていないが、遅延回路709とセレクタ708により、実施例2でのホールド回路の役割を担っている。

【0090】このような構成の本装置は、再生クロックタイミングでサンプリングされたI信号が入力端子6より入力され、また、再生クロックタイミングでサンプリングされたQ信号が入力端子705より入力される。

【0091】そして、この入力されたI信号は絶対値回路501、およびパターン判定回路502へ分岐され、また、入力されたQ信号は絶対値回路706、およびパターン判定回路702へ分岐される。

【0092】すると、I信号が入力されたI信号系統の絶対値回路501は当該入力信号の絶対値変換を行った後、位相誤差演算回路1とレベル判定回路3に供給する。従って、位相誤差演算回路1とレベル判定回路3には入力信号の符号パターンが絶対値化されたものが与えられることになる。

【0093】そして、レベル判定回路3はしきい値入力端子7から供給されるしきい値よりも入力信号レベルの絶対値が大きいかを検出する。ここでは、“4サンプル”を用いて位相誤差を計算するので、このレベル判定においても連続する“4サンプル”が同時にしきい値より大きいことを判定する。判定結果は有効判定回路4に供給される。

【0094】また、パターン判定回路502は入力端子6からの直接の入力信号であるI信号について前記“4サンプル”的符号パターンを判定する。そして、その判定結果は位相誤差演算のための係数切換信号として位相誤差演算回路1に供給すると共に、誤差演算に有効なパターンであるかどうかを判定するために、有効判定回路4にも供給される。

【0095】有効判定回路4はパターン判定結果とレベル判定結果が同時に満足されているかどうかを判定する。すなわち、連続する“4サンプル”的符号パターンが位相誤差演算を行えるパターンに一致し、更にその信号振幅があらかじめ規定されたしきい値よりも大きいときに“有効”と判定する。もし上記2つの判定が同時に満足されていない場合は“無効”と判定し、当該“無効”なる判定信号はホールド信号としてIQ判定回路710に供給する。

【0096】一方、位相誤差演算回路1は絶対値化され

た入力信号の符号パターンに応じて誤差演算を行い、その演算結果であるI誤差データ(I信号系統の誤差演算結果)を平均回路707およびセレクタ708に供給する。そして、平均回路707はQ信号系統用の位相誤差演算回路701からのQ誤差データ(Q信号系統の誤差演算結果)があればこれと平均した結果を出力し、セレクタ708に与える。

【0097】一方、Q信号が入力されたQ信号系統の絶対値回路706は、当該入力信号の絶対値変換を行った後、位相誤差演算回路701とレベル判定回路703に供給する。従って、位相誤差演算回路701とレベル判定回路703には入力信号の符号パターンが絶対値化されたものが与えられることになる。

【0098】そして、レベル判定回路703はしきい値入力端子7から供給されるしきい値よりも入力信号レベルの絶対値が大きいかを検出する。ここでは、“4サンプル”を用いて位相誤差を計算するので、このレベル判定においても連続する“4サンプル”が同時にしきい値より大きいことを判定する。判定結果は有効判定回路4に供給される。

【0099】また、パターン判定回路702は入力端子705からの直接の入力信号であるQ信号について前記“4サンプル”的符号パターンを判定する。そして、その判定結果は位相誤差演算のための係数切換信号として位相誤差演算回路701に供給すると共に、誤差演算に有効なパターンであるかどうかを判定するために、有効判定回路704にも供給される。

【0100】有効判定回路704はパターン判定結果とレベル判定結果が同時に満足されているかどうかを判定する。すなわち、連続する“4サンプル”的符号パターンが位相誤差演算を行えるパターンに一致し、更にその信号振幅があらかじめ規定されたしきい値よりも大きいときに“有効”と判定する。もし上記2つの判定が同時に満足されていない場合は“無効”と判定し、当該“無効”なる判定信号はホールド信号としてIQ判定回路710に供給する。

【0101】また一方、位相誤差演算回路701は絶対値化された入力信号の符号パターンに応じて誤差演算を行い、その演算結果であるQ誤差データ(Q信号系統の誤差演算結果)を平均回路707およびセレクタ708に供給する。そして、平均回路707はI信号系統用の位相誤差演算回路1からのI誤差データ(I信号系統の誤差演算結果)があればこれと平均した結果を出力し、セレクタ708に与える。

【0102】I誤差データの有効判定結果とQ誤差データの有効判定結果が供給されたIQ判定回路710は、有効判定を行い、その判定結果に対応した切り換え信号をセレクタ708に出力する。

【0103】すなわち、IQ判定回路710の判定が“I信号だけ有効”的時はI信号からの誤差データを選

択するよう位相誤差演算回路1からのI誤差データを選択し、また、IQ判定回路710の判定が“Q信号だけ有効”の時はQ信号からの誤差データを選択するよう位相誤差演算回路701からのQ誤差データを選択し、また、IQ判定回路710の判定が“I信号、Q信号共に無効”の時は1クロック前の誤差データを選択するよう位相誤差演算回路709の出力を選択し、IQ判定回路710の判定が“I信号およびQ信号双方とも有効”の時はI信号からの誤差データとQ信号からの誤差データの平均のデータを選択するよう平均回路707の出力を選択し、これをクロック位相誤差信号として出力端子711に出力するよう動作する。

【0104】すなわち、実施例3のシステムは、I信号系統用とQ信号系統用の誤差演算及び有効判定機能をそれぞれ設けて、平均回路707ではI信号からの誤差データと、Q信号からの誤差データの平均を取り、セレクタ708に供給するようにし、セレクタ708にはI信号からの誤差データとQ信号からの誤差データおよびセレクタ708の出力を1クロック遅延した位相誤差信号も供給するようにし、IQ判定回路710ではI信号からの有効判定結果とQ信号からの有効判定結果をもとにセレクタ708に切り替え信号を出力するようにし、有効判定がI信号だけの時はI信号からの誤差データを選択するように、また、有効判定がQ信号だけの時はQ信号からの誤差データを選択するように、また、I信号、Q信号共に“無効”の時は1クロック遅延した位相誤差信号を選択するように、また、I信号、Q信号共に“有効”の時はI信号からの誤差データとQ信号からの誤差データの平均を選択するようにし、クロック位相誤差信号として出力するようにした。そして、このクロック位相誤差信号を再生クロックの位相のずれを修正するための位相制御信号として用いて、クロック再生回路の位相制御を実施し、再生クロックの位相のずれを当該位相制御信号対応に修正するようにした。これによって、QPSK方式においても位相誤差検出精度を更に高めることが可能となる。

【0105】尚、本発明は、QPSK方式に限定されるものではなく、BPSK方式や8PSK方式などの変調方式にも適用できることは勿論である。

#### 【0106】

【発明の効果】以上説明したようにこの発明によれば、位相誤差演算可能な入力パターンを大幅に増やすことが

可能となるため、クロック再生性能を大幅に改善することができる。従って、高い確率で位相誤差検出出来、クロック再生回路の位相補正に用いるクロック位相誤差信号を得ることができて低C/Nでのクロック再生性能を満足することができるようとしたクロック位相誤差検出回路およびクロック位相誤差検出方法を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例としてのクロック位相誤差検出回路構成例を示すブロック図である。

【図2】本発明装置で用いるレベル判定回路のしきい値の設定例を説明するための図である。

【図3】本発明装置で用いる位相誤差演算回路の構成例を示すブロック図である。

【図4】本発明のクロック位相誤差検出回路の動作例を説明するための図である。

【図5】本発明の位相誤差演算回路の入力信号のパターンとフィルタ係数の対応図である。

【図6】入力信号のパターンを説明するための図である。

【図7】従来、全くクロック位相誤差検出ができない入力信号のパターンを説明するための図である。

【図8】本発明のクロック位相誤差検出回路の他の実施例を説明するブロック図である。

【図9】本発明の他の実施例における位相誤差演算回路の入力パターンとフィルタ係数の対応図である。

【図10】直交検波出力に適用した場合の本発明のクロック位相誤差検出回路例を示すブロック構成図である。

【図11】従来技術を説明するための図である。

【図12】アイパターンの例を示す図である。

【図13】従来技術を説明するための図である。

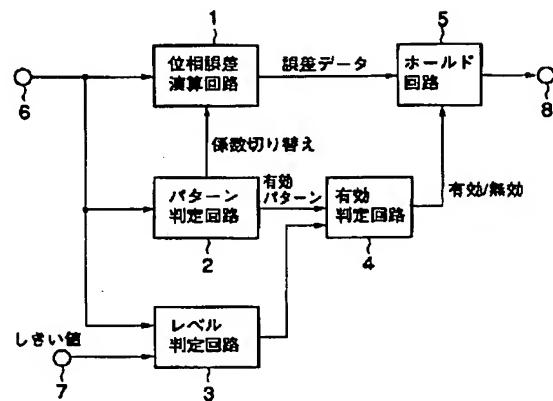
【図14】従来のクロック位相誤差検出方法を模式的に示した図である。

【図15】従来のクロック位相誤差検出方法を模式的に示した図であって、クロック位相誤差検出ができない入力信号のパターンを説明するための図である。

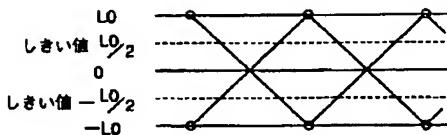
#### 【符号の説明】

1, 701…位相誤差演算回路、2, 502, 702…パターン判定回路、3, 703…レベル判定回路、4, 704…有効判定回路、5…ホールド回路、501, 706…絶対値回路、707…平均回路、708…セレクタ、709…遅延回路、710…IQ判定回路。

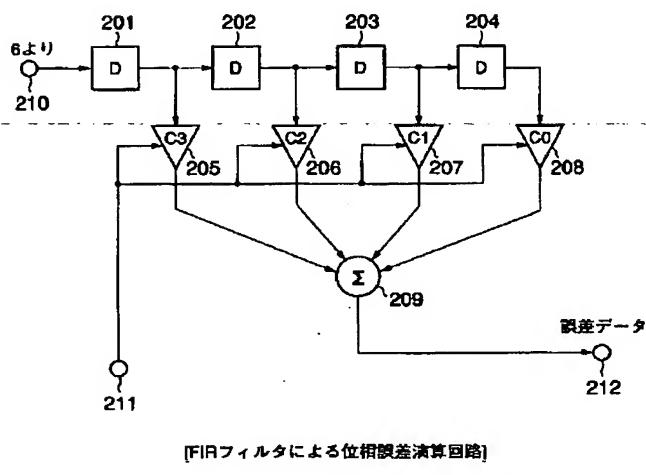
【図1】



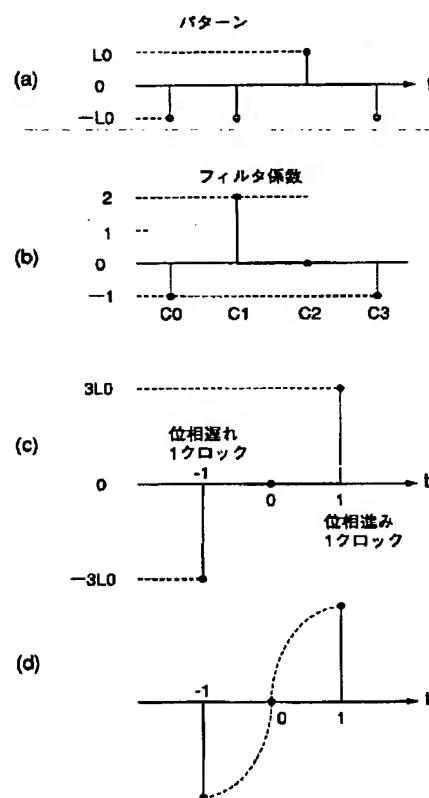
【図2】



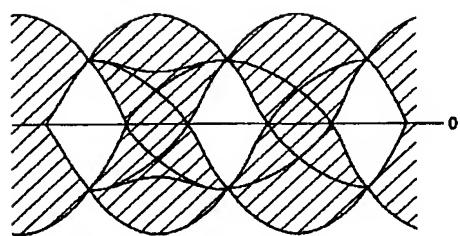
【図3】



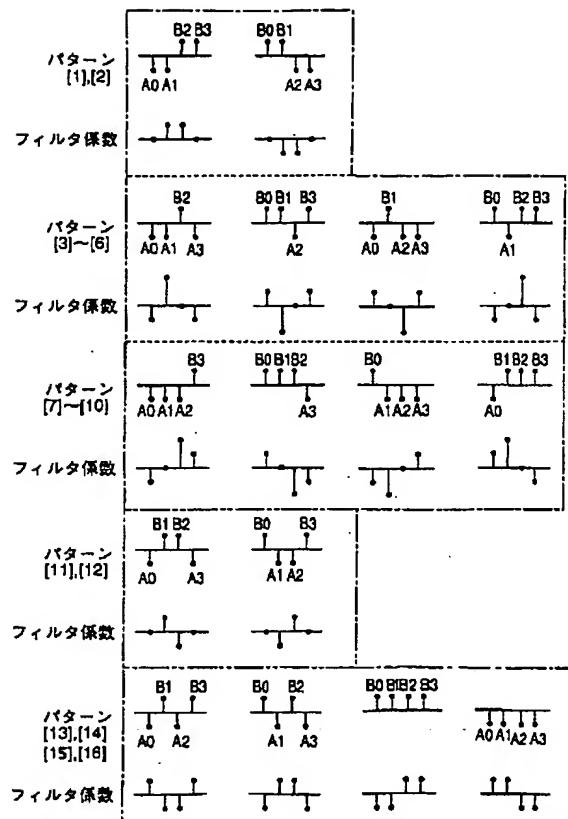
【図4】



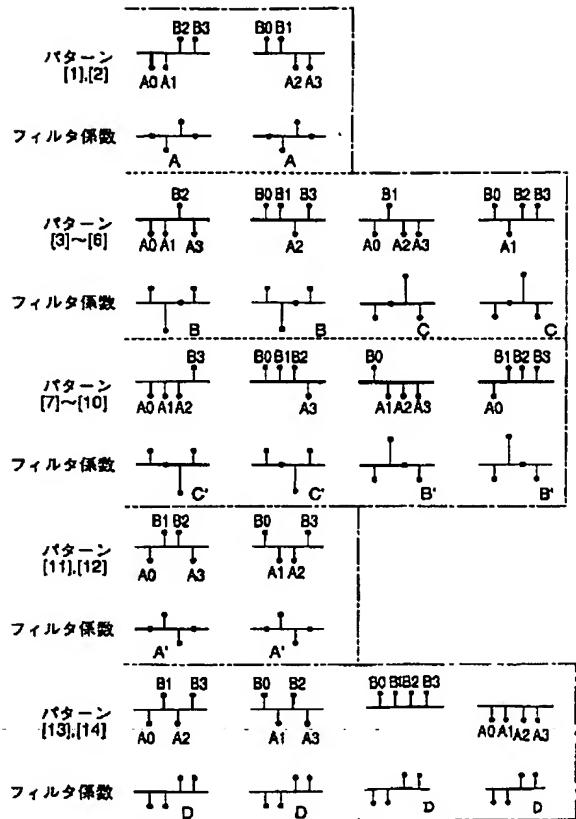
【図12】



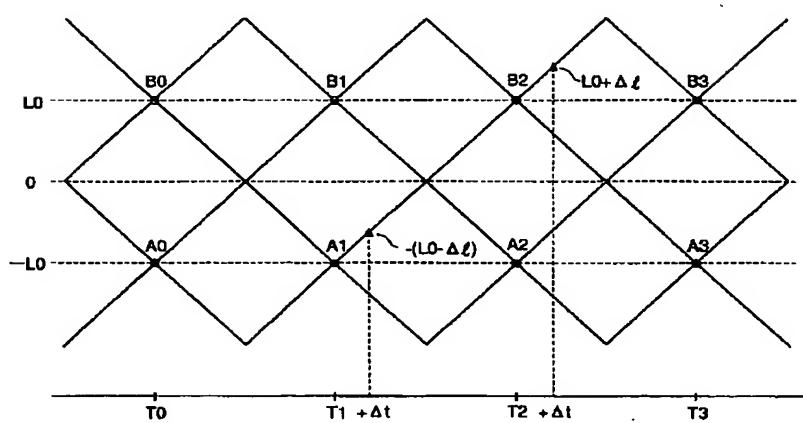
【図5】



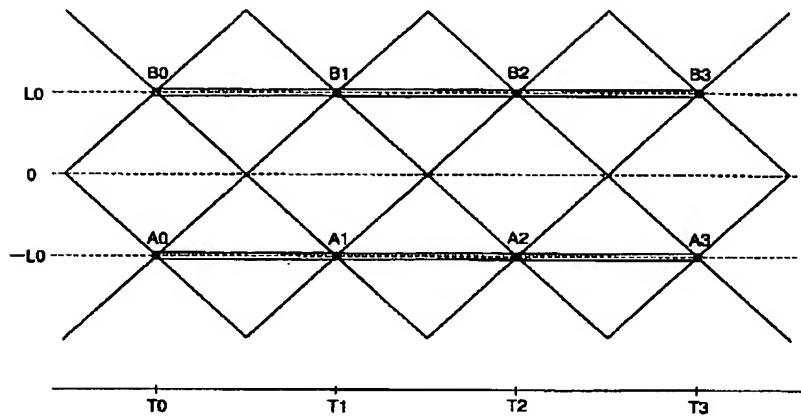
【図9】



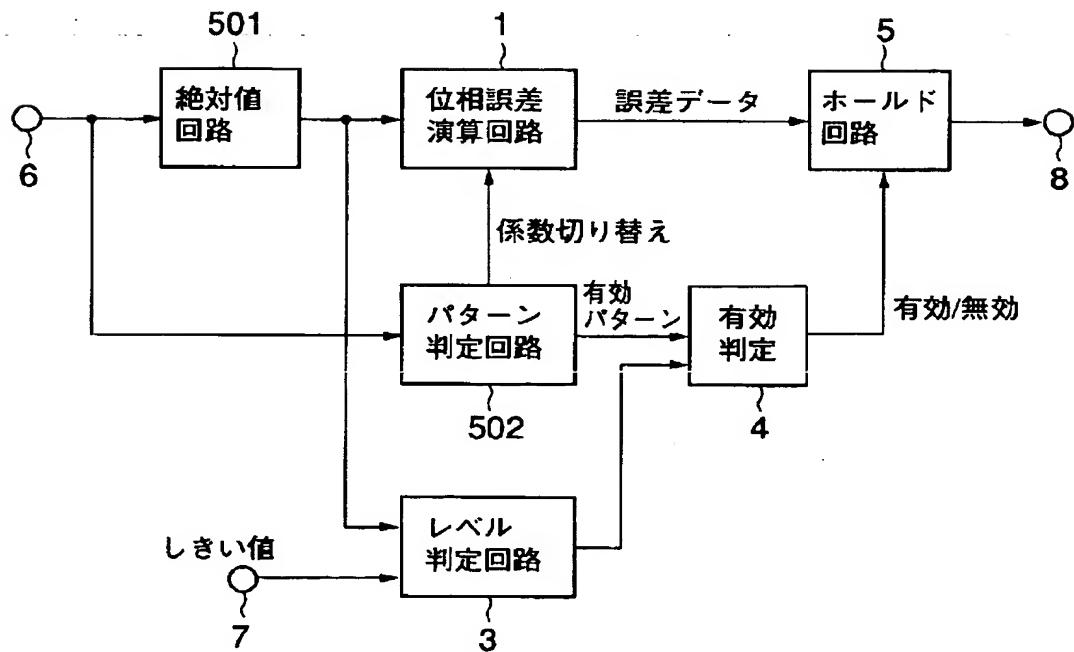
【図6】



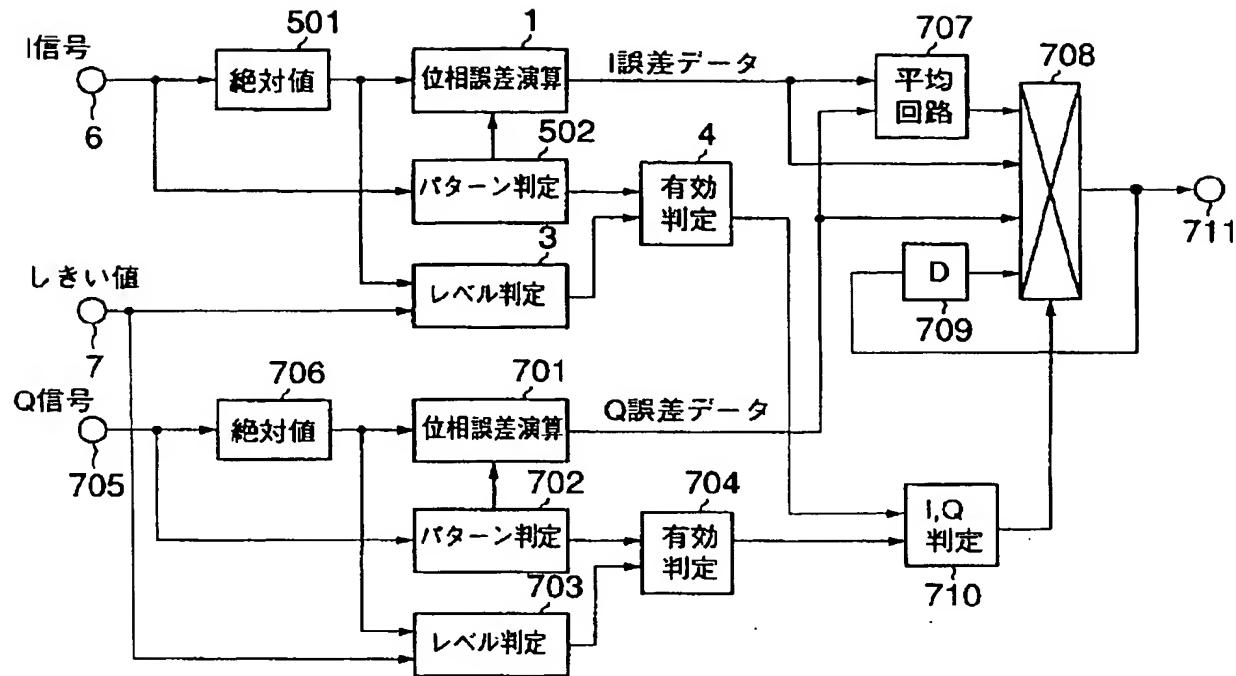
【図7】



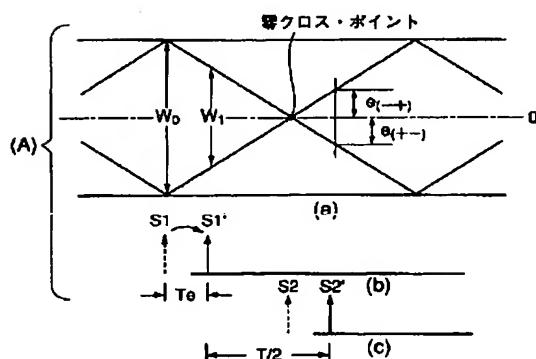
【図8】



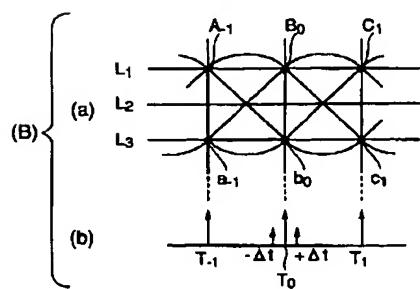
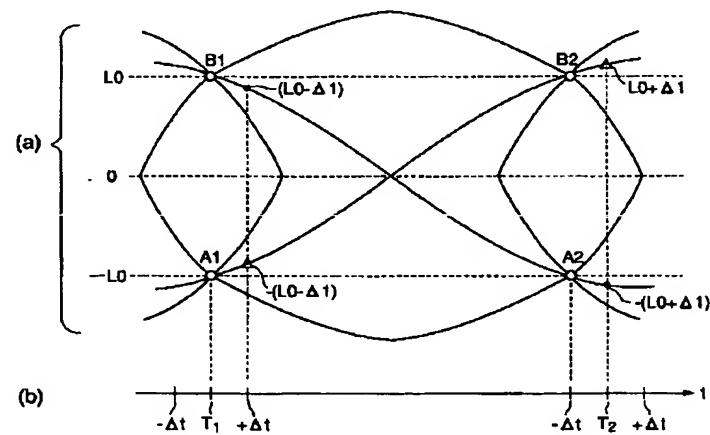
【図10】



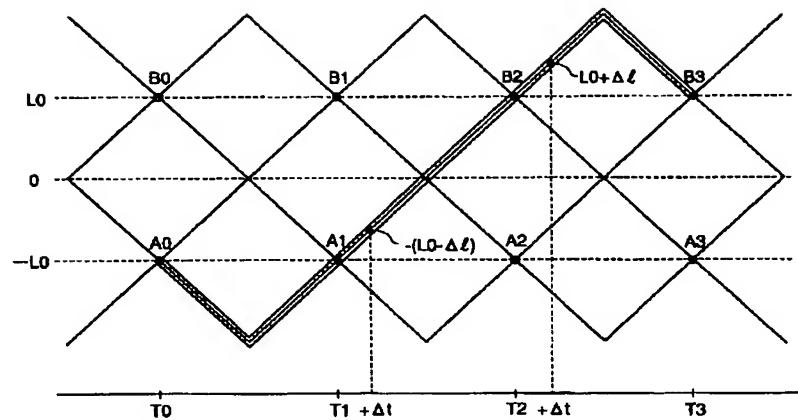
【図11】



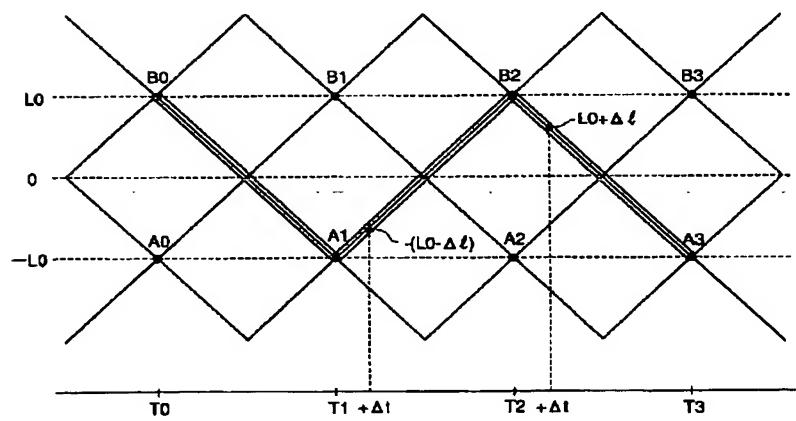
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 西川 正樹  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝マルチメディア技術研究所内

F ターム(参考) 5J106 BB02 CC46 CC58 DD13 DD44  
EE01 EE05 EE15 FF02 JJ02  
KK05  
5K004 AA05 FA03 FA05 FA06 FG02  
FH08 FJ14  
5K047 AA06 EE02 GG09 MM33 MM38  
MM60